

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

012444838 **Image available**

WPI Acc No: 1999-250946/199921

XRAM Acc No: C99-073630

XRPX Acc No: N99-187556

Semiconductor layer processing for semiconductor device manufacture - involves forming polycrystalline silicon film over insulation substrate to which laser beam is irradiated to remove roughness from film surface layer

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL); ABE H (ABEH-I); AYA Y (AYAY-I); HAMADA H (HAMA-I); NAKAHARA Y (NAKA-I); NOUDA T (NOUD-I); SOTANI N (SOTA-I)

Inventor: ABE H; AYA Y; HAMADA H; NAKAHARA Y; NOUDA T; SOTANI N

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11074536	A	19990316	JP 97345084	A	19971215	199921 B
KR 98070340	A	19981026	KR 9853	A	19980105	199952
US 20010003659	A1	20010614	US 984779	A	19980109	200135
US 6281057	B1	20010828	US 984779	A	19980109	200151

Priority Applications (No Type Date): JP 97164644 A 19970620; JP 972450 A 19970109; JP 9772279 A 19970325; JP 9780221 A 19970331

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11074536	A	22	H01L-029/786	
KR 98070340	A		H01L-021/428	
US 20010003659	A1		H01L-021/84	
US 6281057	B1		H01L-021/84	

Abstract (Basic): JP 11074536 A

NOVELTY - A polycrystalline silicon film (3) is formed on a transparent insulation substrate (1). Laser beam is irradiated on the whole film, which heats the film. The roughness of the film is removed when the irradiation is performed subsequently. The temperature is maintained between 900-1100 deg. C during irradiation.

USE - For semiconductor device manufacture e. g. LCD.

ADVANTAGE - By using this technique the semiconductor layer with high mobility is formed easily. The crystal defect of the layer is reduced and the roughness of the semiconductor layer is also reduced.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the manufacturing process of the semiconductor device. (1) Transparent insulation substrate; (3) Polycrystalline silicon film.

Dwg. 3/69

Title Terms: SEMICONDUCTOR; LAYER; PROCESS; SEMICONDUCTOR; DEVICE; MANUFACTURE; FORMING; POLYCRYSTALLINE; SILICON; FILM; INSULATE; SUBSTRATE ; LASER; BEAM; IRRADIATE; REMOVE; ROUGH; FILM; SURFACE; LAYER

Derwent Class: L03; U11; U14

International Patent Class (Main): H01L-021/428; H01L-021/84; H01L-029/786

International Patent Class (Additional): H01L-021/00; H01L-021/20;
H01L-021/336

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

06132997 **Image available**
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO. : 11-074536 [JP 11074536 A]
PUBLISHED: March 16, 1999 (19990316)
INVENTOR(s): AYA YOICHIRO
 HAMADA HIROYOSHI
 ABE HISASHI
 SOTANI NAOYA
 NODA TOMOYUKI
 NAKAHARA YASUO
APPLICANT(s): SANYO ELECTRIC CO LTD
APPL. NO. : 09-345084 [JP 97345084]
FILED: December 15, 1997 (19971215)
PRIORITY: 2450 [JP 972450], JP (Japan), January 09, 1997 (19970109)
 72279 [JP 9772279], JP (Japan), March 25, 1997 (19970325)
 80221 [JP 9780221], JP (Japan), March 31, 1997 (19970331)
 09164644 [JP 979164644], JP (Japan), June 20, 1997 (19970620)
INTL CLASS: H01L-029/786; H01L-021/336; H01L-021/20

ABSTRACT

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device comprising a semiconductor layer having high field effect mobility.

SOLUTION: After forming a polycrystalline silicon film 3 on a transparent insulation substrate 1, laser beam is irradiated to the polycrystalline silicon film 3. The polycrystalline silicon film 3 is heat-treated under the temperature capable of smoothing its rough surface. The crystallinity of the polycrystalline silicon film 3 is improved by irradiating laser beam to the polycrystalline silicon film 3, and the roughness of the surface of the polycrystalline silicon film 3 is lowered by a successive heat-treatment. The field effect mobility of the polycrystalline silicon film 3 is increased.

COPYRIGHT: (C)1999, JPO

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74536

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786
21/336
21/20H 0 1 L 29/78
21/20
29/786 2 7 G
6 1 6 M
6 1 6 A
6 1 7 A

審査請求 未請求 請求項の数19 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願平9-345084

(22) 出願日 平成9年(1997)12月15日

(31) 優先権主張番号 特願平9-2450

(32) 優先日 平9(1997)1月9日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平9-72279

(32) 優先日 平9(1997)3月25日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平9-80221

(32) 優先日 平9(1997)3月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 綾 洋一郎

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 浜田 弘喜

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 阿部 寿

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外1名)

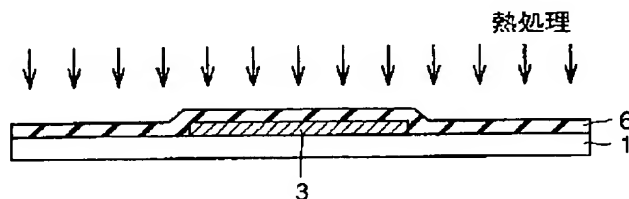
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 高い電界効果移動度を有する半導体層を含む半導体装置の製造方法を得ること。

【解決手段】 この半導体装置の製造方法では、透明絶縁性基板1上に多結晶シリコン膜3を形成した後、その多結晶シリコン膜3にレーザビームを照射する。その後、多結晶シリコン膜3の表面の凹凸を低減可能な温度条件下で熱処理を行なう。この多結晶シリコン膜3へのレーザビームの照射によって多結晶シリコン膜3の結晶性が改善されるとともに、その後の熱処理によって多結晶シリコン膜3の表面の凹凸が低減される。これにより、多結晶シリコン膜3の電界効果移動度が高められる。



【特許請求の範囲】

【請求項 1】 基板上に半導体層を形成する工程と、前記半導体層に高エネルギービームを照射する工程と、その後、前記半導体層の表面の凹凸を低減可能な温度条件下で熱処理を行なう工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 前記熱処理を、900℃以上1100℃以下の温度条件下で行なうことを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記熱処理を、ラピッドサーマルアニーリング法により行なうことを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記半導体層を形成する工程は、非晶質半導体層を固相成長法を用いて多結晶化することにより多結晶半導体層を形成する工程を含み、前記高エネルギービームを照射する工程は、前記多結晶半導体層に前記高エネルギービームを照射する工程を含むことを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記高エネルギービームの照射は、前記多結晶半導体層を加熱した状態で行なうことを特徴とした請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記多結晶半導体層の加熱は、100℃以上の温度条件下で行なうことを特徴とした請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記高エネルギービームの照射に先立って、前記多結晶半導体層の表面を酸化することにより酸化膜を形成する工程と、前記酸化膜を除去して前記多結晶半導体層の表面を露出させる工程とを行なうことを特徴とした請求項 4 に記載の半導体装置の製造方法。

【請求項 8】 前記半導体層を形成する工程は、前記基板上に非晶質半導体層を形成する工程を含み、前記高エネルギービームを照射する工程は、前記非晶質半導体層に前記高エネルギービームを照射することにより多結晶化して多結晶半導体層を形成する工程を含むことを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 9】 前記熱処理を、前記高エネルギービームを照射した直後に行なうことを特徴とした請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記熱処理を、前記高エネルギービームの照射後、前記多結晶半導体層上に絶縁膜および多結晶シリコン膜を順次形成した後に行なうことを特徴とした請求項 8 に記載の半導体装置の製造方法。

【請求項 11】 前記熱処理が、ラピッドサーマルアニーリング法を含むことを特徴とした請求項 8 に記載の半導体装置の製造方法。

【請求項 12】 前記高エネルギービームは、レーザおよびキセノンアークランプのうちのいずれかを含むことを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 13】 前記半導体層は、シリコン層を含むことを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 14】 前記半導体層は、薄膜トランジスタの能動層を含むことを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 15】 前記半導体層の形成後、前記半導体層上にゲート絶縁膜を介してゲート電極を形成することを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 16】 前記半導体層は、前記基板上に形成されたゲート電極上にゲート絶縁膜を介して形成することを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 17】 絶縁性基板上に非晶質半導体層を形成する工程と、

前記非晶質半導体層を固相成長法を用いて多結晶化することにより多結晶半導体層を形成する工程と、前記多結晶半導体層に高エネルギービームを照射する工程と、

その後、前記多結晶半導体層の表面の凹凸を低減可能な温度条件下で熱処理を行なう工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 18】 前記高エネルギービームの照射は、前記多結晶半導体層を加熱した状態で行なうことを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 19】 絶縁性基板上に非晶質半導体層を形成する工程と、

前記非晶質半導体層に高エネルギービームを照射することにより多結晶化して多結晶半導体層を形成する工程と、その後、前記多結晶半導体層の表面の凹凸を低減可能な温度条件下で熱処理を行なう工程と、を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置の製造方法に関し、より特定的には、半導体層を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来、液晶表示装置（LCD: Liquid Crystal Display）は、マトリックスに配列された表示画素部と、その表示画素部を駆動する駆動回路部とを備えている。一般に、液晶表示装置の場合、駆動回路部を構成するトランジスタは、表示画素部を構成するトランジスタに比べて高移動度（高速性）が要求される。

【0003】 近年では、駆動回路を構成する TFT（Thin Film Transistor）の能動層として、多結晶シリコン膜を用いることにより、ある程度高移動度を実現できるようになった。このため、表示画素部を構成するトランジスタのみならず、駆動回路部を構成するトランジスタにも、多結晶シリコン膜からなる TFT が用いられるようになってきている。そして、表示画素部を構成する T

F Tと駆動回路部を構成するT F Tとの能動層として多結晶シリコン膜を用いることによって、表示画素部と駆動回路部とを同一の基板上に形成したいわゆる駆動回路一体型のL C Dが開発されている。

【0004】このような多結晶シリコン膜を能動層として用いるT F Tを含むL C Dでは、L C Dの画素の高精細化および高密度化に伴って、駆動回路部を構成するT F Tのさらなる高速化が要求されている。このため、従来では、多結晶シリコン膜からなるT F Tの能動層の移動度を向上させるための研究開発が行なわれている。

【0005】たとえば、後に多結晶シリコン膜となるシリコン層の形成時に用いる材料ガスを、シラン(SiH_4)ガスからジシラン(Si_2H_6)ガスに変更することにより、固相成長後の多結晶シリコン膜の結晶粒径を相対的に大きくして、高速化を図ることなど、種々の方法が提案されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記のような提案された技術によっても、十分な高移動度を有するT F Tの能動層を得ることは困難であった。このため、液晶表示装置(L C D)にこのようなT F Tを用いた場合に、より高速な駆動回路を得ることが特に困難であり、その結果、L C Dの表示特性を向上させることが困難であるという問題点があった。

【0007】この発明の一つの目的は、半導体装置の製造方法において、高移動度を有する半導体層を備えた半導体装置を容易に製造することである。この発明のもう一つの目的は、半導体装置の製造方法において、半導体層の結晶欠陥を減少させるとともに半導体層の表面の凹凸を低減することである。

【0008】

【課題を解決するための手段】この発明の一つの局面による半導体装置の製造方法は以下の工程を備えている。まず基板上に半導体層を形成する。その半導体層に高エネルギービームを照射する。

【0009】その後、半導体層の表面の凹凸を低減可能な温度条件下で熱処理を行なう。この発明では、このように、半導体層に高エネルギービームを照射することによって半導体層の結晶欠陥を減少させることができ、その結果半導体層の結晶性を向上させることができる。また、高エネルギービームの照射後半導体層の表面の凹凸を低減可能な温度条件下で熱処理することによって、上記高エネルギービームの照射によって増大した半導体層の表面の凹凸を有効に低減することができる。

【0010】このように、この発明の一つの局面による製造方法では、半導体層の結晶欠陥を減少させることができるとともに半導体層の表面の凹凸を低減させることができ、それにより、半導体層の電界効果移動度を向上させることができ、その結果、半導体層のドレイン電流を増加させることができる。このような半導体層を液晶表示

装置に用いれば、駆動回路部的高速駆動が可能になるとともに、画素部の高精細化および高密度化を実現することができる。

【0011】なお、上記の熱処理は900℃以上1100℃以下の温度条件下で行なうのが好ましい。その場合、熱処理はラピッドサーマルアニーリング法により行なうのが好ましい。このようにラピッドサーマルアニーリング法を用いれば、極めて短時間で高温処理を行なうので、高温熱処理により半導体層の結晶内の欠陥などを減少させながら、基板が変形するなどの不都合が生じない。

【0012】また、上記の一つの局面による半導体装置の製造方法において、非晶質半導体を固相成長法を用いて多結晶化することにより多結晶シリコン層を形成し、その多結晶半導体層に高エネルギービームを照射するようにしてもよい。この場合の高エネルギービームの照射は多結晶半導体層を加熱した状態で行なうのが好ましい。その加熱は100℃以上600℃以下で行なうのが好ましい。

【0013】このように高エネルギービームの照射時に多結晶半導体層を加熱すれば、多結晶半導体層の表面の凹凸をより低減することができ、その結果、トランジスタの移動度をより向上させることができるだけでなく、レーザエネルギー密度を、照射時に、加熱を行わない場合よりも低く設定することができるから、レーザ装置の維持費を軽減することができる。

【0014】また、高エネルギービームの照射に先立って、多結晶半導体層の表面を酸化することにより酸化膜を形成した後、その酸化膜を除去して多結晶半導体層の表面を露出させ、その後、その露出された多結晶半導体層に高エネルギービームを照射するようにしてもよい。このようにすれば、多結晶半導体層の結晶性をより向上させることができる。

【0015】また、上記の一つの局面による半導体装置の製造方法において、基板上に非晶質半導体層を形成し、その非晶質半導体層に高エネルギービームを照射することにより多結晶化して多結晶半導体層を形成するようにしてもよい。その場合の熱処理は高エネルギービームを照射した直後に行なうようにしてもよいし、高エネルギービームの照射後多結晶半導体層上に絶縁膜および多結晶シリコン膜を順次形成した後に行なうようにしてもよい。

【0016】また、その場合の熱処理はラピッドサーマルアニーリング法によって行なうのが好ましい。このようにラピッドサーマルアニーリング法を用いれば、極めて短時間で高温処理を行なうので、高温熱処理により半導体層の結晶内の欠陥などを減少させながら、基板が変形するなどの不都合が生じない。また、上記一つの局面による半導体装置の製造方法において、高エネルギービームは、好ましくは、レーザおよびキセノンアークランプ

のうちのいずれかを含む。このようにレーザまたはキセノンアークランプを用いれば、半導体層の結晶内へ照射するエネルギーを効率的に吸収することができ、これにより、能動層となる半導体層の結晶性を容易に改善することができる。

【0017】また、半導体層はシリコン層を含んでいてもよい。その半導体層は薄膜トランジスタの能動層を含むのが好ましい。また、その半導体層の形成後半導体層上にゲート絶縁膜を介してゲート電極を形成するようにしてもよいし、基板上に形成されたゲート電極上にゲート絶縁膜を介して半導体層を形成するようにしてもよい。

【0018】この発明の他の局面による半導体装置の製造方法では以下の工程を備えている。まず、絶縁性基板上に非晶質半導体層を形成する。その非晶質半導体層を固相成長法を用いて多結晶化することにより多結晶半導体層を形成する。その多結晶半導体層に高エネルギービームを照射する。その後、多結晶半導体層の表面の凹凸を低減可能な温度条件下で熱処理を行なう。

【0019】このように多結晶半導体層に高エネルギービームを照射した後、その多結晶半導体層の表面の凹凸を低減可能な温度条件下で熱処理を行なうことによって、多結晶半導体層の結晶欠陥を低減できるとともに多結晶半導体層の表面の凹凸を低減することができ、それにより、その多結晶半導体層をトランジスタの能動層として用いた場合にそのトランジスタの電界効果移動度を向上させることができ、その結果、そのトランジスタのドレイン電流を増加させることができる。

【0020】このようなトランジスタを液晶表示装置に用いれば、駆動回路部的高速駆動が可能になるとともに、画素部の高精細化および高密度化を実現することができる。なお、上記他の局面による半導体装置の製造方法において、高エネルギービームの照射は多結晶半導体層を加熱した状態で行なうのが好ましい。このようにすれば、多結晶半導体層の表面の凹凸をより低減することができ、その結果、トランジスタの電界効果移動度をより向上させることができる。

【0021】この発明のさらに他の局面による半導体装置の製造方法は以下の工程を備えている。まず、絶縁性基板上に非晶質半導体層を形成する。その非晶質半導体層に高エネルギービームを照射することにより多結晶化して多結晶半導体層を形成する。その後、多結晶半導体層の表面の凹凸を低減可能な温度条件下で熱処理を行なう。これにより、多結晶半導体層の結晶性を向上させることができるとともに多結晶半導体層の表面の凹凸を低減することができ、それにより、その多結晶半導体層をトランジスタの能動層として用いた場合にそのトランジスタの電界効果移動度を向上させることができ、その結果、そのトランジスタのドレイン電流を増加させることができる。このようなトランジスタを液晶表示装置に用いれば、駆動回路部的高速駆動が可能になるとともに、

画素部の高精細化および高密度化を実現することができる。

【0022】

【発明の実施の形態】本発明の実施形態を図面に基づいて説明する。尚、以下の各実施形態において、同様の構成部分には同じ符号を用いる。

（第1の実施形態）図1～図12を参照して、本発明の第1の実施形態による半導体装置（TFT）の製造プロセスについて説明する。

【0023】まず、図1を参照して第1工程について説明する。この第1工程では、ガラスまたは石英ガラスからなる透明絶縁性基板1上に、LPCVD（Low Pressure Chemical Vapor Deposition）法を用いて、 Si_2H_6 （ジシランガス）を材料ガスとして非晶質シリコン膜（非晶質半導体膜）2を形成する。この非晶質シリコン膜2は、約450℃の温度条件下で100nm程度の膜厚を有するように形成する。

【0024】次に、第2工程では、図2に示すように、固相成長法（SPC：Solid Phase Crystallization）を用いて、約600℃の温度条件下で約20時間のアニールを行なう。これにより、非晶質シリコン膜2を多結晶化して多結晶シリコン膜3に改質する。この際、多結晶シリコン膜3の膜厚は、90nm程度に減少する。次に、第3工程においては、図3に示すように、約1050℃の酸素雰囲気中で、約30分間のドライ酸化を行なうことによって、多結晶シリコン膜3の表面を酸化することによって、多結晶シリコン膜3の表面上に20nm程度の膜厚を有する二酸化シリコン（ SiO_2 ）膜4を形成する。

【0025】この後、第4工程においては、弗酸系のエッチャントを用いて二酸化シリコン膜4をウエットエッチングにより除去する。これにより、図4に示すように多結晶シリコン膜3の表面を露出させる。このように多結晶シリコン膜3の表面を酸化して二酸化シリコン膜4を形成した後、その二酸化シリコン膜4を除去すれば、多結晶シリコン膜3の結晶性を向上させることができる。この多結晶シリコン膜3がTFTの能動層となる。

【0026】次に、第5工程においては、図5に示すように、多結晶シリコン膜3の表面に波長 $\lambda=248\text{nm}$ のKrFエキシマレーザビームを照射してレーザアニールを施す。このときのレーザ照射条件は、基板温度が室温～600℃、照射エネルギー密度が $100\text{mJ}/\text{cm}^2 \sim 500\text{mJ}/\text{cm}^2$ 、走査速度が $1\text{mm}/\text{sec} \sim 10\text{mm}/\text{sec}$ である。

【0027】なお、走査速度に関しては、実際には、 $1\mu\text{m}/\text{sec} \sim 100\text{mm}/\text{sec}$ の範囲の速度で走査可能である。上記レーザビームとしては、波長 $\lambda=308\text{nm}$ のXeClエキシマレーザを使用してもよい。このときのレーザ照射条件は、基板温度が室温～600℃、照射エネルギー密度が $100\text{mJ}/\text{cm}^2 \sim 500\text{mJ}/\text{cm}^2$ である。

J/cm^2 、走査速度が $1mm/sec \sim 10mm/sec$ である。

【0028】この場合の走査速度も、実際には、 $1\mu m/sec \sim 100mm/sec$ の範囲の速度で走査可能である。また、波長 $\lambda = 193nm$ のArFエキシマレーザを使用してもよい。このときのレーザ照射条件は、基板温度が室温 $\sim 600^\circ C$ 、照射エネルギー密度が $100mJ/cm^2 \sim 500mJ/cm^2$ 、走査速度が $1mm/sec \sim 10mm/sec$ である。この場合の走査速度も、 $1\mu m/sec \sim 100mm/sec$ の範囲の速度で走査可能である。

【0029】上記のいずれのレーザビームを用いても、照射エネルギー密度および照射回数に比例して、多結晶シリコン膜3の結晶粒径は大きくなる。したがって、所望の大きさの結晶粒径が得られるように、エネルギー密度および照射回数を調整すればよい。本実施形態においては、上記のエキシマレーザアニールに、高スループットレーザ照射法を用いる。図13を参照して、高スループットレーザ照射法に用いる装置の構成について説明する。その装置は、KrFエキシマレーザ101と、KrFエキシマレーザ101からのレーザビームを反射する反射鏡102と、反射鏡102からのレーザビームを所定の状態に加工して基板1に照射するレーザビーム制御光学系103とを備えている。

【0030】このような構成において、高スループットレーザ照射法では、レーザビーム制御光学系103によって棒状又は線状（ビームサイズ： $0.5mm \times 50mm$ ）に加工されたレーザビームを、複数パルスの重ね合わせにより照射する。この複数パルスの重ね合わせは、棒状のレーザビームを短軸方向に $0\% \sim 99\%$ まで任意に重ね合わせることににより行なわれる。そして、ステージ走査とパルスレーザ照射とを完全に同期させることによって、極めて高精度な重複状態でレーザを照射することによってスループットを高める。

【0031】上記のような高スループットレーザ照射法を用いてレーザ照射を行なった後、第6工程では、レーザ照射された多結晶シリコン膜3をエッチングして、パターニングする。これにより、TFEの形成位置に、図6に示されるようなパターニングされた多結晶シリコン膜3が形成される。この後、第7工程では、図7に示すように、パターニングされた多結晶シリコン膜3の上に、LPCVD法を用いて、ゲート絶縁膜6となるHTO膜（High Temperature Oxide：シリコン酸化膜）を形成する。この後、熱処理が施される。

【0032】この熱処理は、電気炉内に透明絶縁性基板1を挿入して、 N_2 雰囲気中で約 $1050^\circ C$ の温度条件下で約2時間行なう。なお、この熱処理は、RTA（Rapid Thermal Annealing）法による急速熱処理を用いてもよい。このときの熱処理の条件は、熱源がXeアークランプ、温度が約 $900^\circ C$ 以上約 $1100^\circ C$ 以下（好ま

しくは、約 $950^\circ C$ 以上約 $1100^\circ C$ 以下）、 N_2 雰囲気中で、1秒 ~ 10 秒の時間である。RTA法による加熱は、高温を用いるが、極めて短時間で終わることができるので、高温熱処理により多結晶シリコン膜3の結晶内の欠陥などを減少させながら、透明絶縁性基板1が変形するなどの不都合を防止することができる。

【0033】次に、図8に示すように、第8工程では、ゲート絶縁膜6の上に、LPCVD法を用いて燐がドーブされた多結晶シリコン膜7を形成する。なお、多結晶シリコン膜7への燐のドーブは必ずしも必要ではない。この後、第9工程においては、フォトリソグラフィ技術とRIE法によるドライエッチング技術とを用いて、多結晶シリコン膜7およびその下のゲート絶縁膜6をパターニングする。これにより、多結晶シリコン膜3上に位置する領域に、図9に示されるような、パターニングされたゲート電極8およびゲート絶縁膜6が得られる。

【0034】次に、第10工程においては、図10に示すように、多結晶シリコン膜3の露出した上面およびゲート電極8の上面に不純物を注入する。さらに、熱処理を施すことによってその注入した不純物を活性化させる。このときの不純物は、n型の場合はヒ素（As）や燐（P）を用い、この場合の注入条件は約 $80keV$ 、約 $3 \times 10^{13}/cm^2$ である。また、p型の不純物を注入する場合には、ボロン（B）を用い、この場合の注入条件は、約 $30keV$ 、約 $1.5 \times 10^{13}/cm^2$ である。上記のような不純物の注入および熱処理によって、低濃度不純物領域10および11を形成する。

【0035】次に、第11工程では、多結晶シリコン膜（能動層）3およびゲート電極8を覆うように、透明絶縁性基板1上にAPCVD（常圧CVD）法により絶縁膜（図示せず）を堆積した後、この絶縁膜を異方性の全面エッチバックを用いてエッチングする。これにより、ゲート電極8とゲート絶縁膜6との側面に、図11に示されるような、絶縁膜からなるサイドウォール12を形成する。

【0036】この後、第12工程では、図12に示すように、サイドウォール12をマスクとして多結晶シリコン膜3に不純物を注入することによって、高濃度不純物領域14および15を自己整合的に形成する。なお、このとき注入する不純物は、n型の場合、燐（P）イオンを用い、その注入条件は、約 $80keV$ 、約 $3 \times 10^{15}/cm^2$ である。さらに、この状態で、電気炉を用いて熱処理を行なうことによって不純物を活性化させる。この場合の熱処理条件は、約 $850^\circ C$ 、約30分間、 N_2 ガス流量が約5リットル/分である。

【0037】なお、この熱処理は、RTA法による急速熱処理を用いてもよい。このときの熱処理の条件は、熱源がXeアークランプ、温度が約 $700^\circ C$ 以上約 $950^\circ C$ 以下、雰囲気が N_2 、時間が1秒以上3秒以下である。RTA法による加熱は、高温を用いるが極めて短時

間で終了することができるので、高温熱処理により多結晶シリコン膜3の結晶内の欠陥などを減少させながら、透明絶縁性基板1が変形するのを有効に防止することができる。このようにして、低濃度不純物領域10および11と、高濃度不純物領域14および15とからなるLDD (Lightly Doped Drain) 構造のソース/ドレイン領域が形成される。

【0038】以上の工程によって、多結晶シリコン膜を能動層として用いるTFTが形成される。なお、上記第1の実施形態で用いたレーザ以外にも、エキシマレーザとしては、F₂レーザ(波長157nm)、ArFレーザ(波長193nm)、KrClレーザ(波長222nm)、XeBrレーザ(波長282nm)、XeClレーザ(波長308nm)、XeFレーザ(波長351nm)を用いることも可能である。これらのエキシマレーザを用いても上記第1の実施形態の第5工程に用いたレーザと同様の効果が得られる。

【0039】また、上述のエキシマレーザ以外にも、Ar⁺レーザ(波長488nm)、ルビーレーザ(波長694nm)、YAGレーザ(波長1.06μm)、CO₂レーザ(波長10.6μm)などを用いることも可能である。ただし、多結晶シリコン膜3内に効率的に吸収されるためには、上記のエキシマレーザを用いるのが好ましい。

【0040】さらに、高エネルギービームとしては、超高压水銀ランプ、低圧水銀ランプ、重水素ランプ、ハロゲンランプ、Fe/Hg金属ハロゲンランプなどを用いることも可能である。これらの高エネルギービームは、シリコン膜に吸収されやすい、約600nm以下の波長のものを用いるのが好ましい。

【0041】ここで、図7に示した第7工程の熱処理による効果について説明する。第7工程では、透明絶縁性基板1を電気炉内に入れ、N₂雰囲気中、温度約1050℃で約2時間の熱処理を行なった。それにより、TFTの能動層となる多結晶シリコン膜3の表面の荒さ(凹凸:ラフネス)を減少させることができる。図14は、多結晶シリコン膜にレーザ照射をした後に、第7工程において熱処理を施した場合と熱処理を施さなかった場合との多結晶シリコン膜の表面の凹凸状態を示すグラフである。図14を参照して、横軸は照射するレーザのエネルギー密度を示し、縦軸は多結晶シリコン膜表面の凹凸を示している。また、白丸(○)はレーザ照射後の熱処理を施さなかった場合を示し、黒丸(●)は熱処理を施した場合を示している。

【0042】図14に示すように、非晶質シリコン膜を固相成長した後の表面の荒さは、いずれの場合も約1.2nm~約1.3nmである。そして、レーザの照射密度を増加させた場合に、熱処理を施した場合には凹凸の増大はそれほど見られないのに対して、熱処理を施していない場合には凹凸が増大することがわかる。図15

は、第7工程における熱処理時の温度と、表面荒さおよび電界効果移動度との関係を示したグラフである。図15を参照して、温度の変化に対する表面荒さの変化は、○、△および□によって表されており、温度の変化に対する電界効果移動度は、●、▲および■によって表されている。温度が約900℃以上では、温度が上昇するにつれて表面荒さが低下するとともに電界効果移動度が大きくなることがわかる。

【0043】また、シリコンの熔融温度が1400℃程度であるので、約1100℃以上にする処理時間内に透明絶縁性基板が反ってしまうという不都合が生じる。このため、熱処理温度は約1100℃以下が好ましい。このようなことから、熱処理温度は約900℃以上約1100℃以下が好ましいことがわかる。さらに、熱処理温度は約950℃以上約1100℃以下がより好ましい。

【0044】このように、多結晶シリコン膜(能動層)3へのレーザの照射後に第7工程において熱処理を行なうことによって、多結晶シリコン膜3の表面の凹凸(表面荒さ)を低減することができ、その結果、このような多結晶シリコン膜3を能動層として用いたTFTの電界効果移動度を向上させることができる。さらに、このようなTFTを液晶表示装置に用いれば、良好な表示を行なうことが可能となる。

【0045】図16は、上記した第5工程において、レーザ照射時に加熱した場合と従来のように加熱しなかった場合との多結晶シリコン膜の表面の凹凸状態を示すグラフである。図16を参照して、横軸はレーザエネルギー密度を示し、縦軸は多結晶シリコン膜の表面の凹凸を示している。また、白丸(○)はレーザ照射時に熱処理を施さなかった(加熱しなかった)場合を示し、黒丸(●)は熱処理を施した(加熱した)場合を示している。

【0046】図16に示すように、非晶質シリコンを固相成長した後の表面の荒さは、いずれの場合も約1.0nm~2.0nmである。また、照射密度を変化させた場合に、レーザ照射時に加熱した場合には表面荒さが初期の状態よりも小さくなる場合があるのに対して、レーザ照射時に加熱を行わない場合にはレーザエネルギー密度の増加に伴って表面荒さも増加することがわかる。

【0047】このように、多結晶シリコン膜3へのレーザの照射を加熱した状態で行なうことによって、多結晶シリコン膜3の表面の凹凸を低減することができる。その結果、このような多結晶シリコン膜3を能動層として用いたTFTの電界効果移動度を向上させることができる。さらに、このようなTFTを液晶表示装置に用いれば、良好な表示を行なうことが可能となる。

【0048】なお、第1の実施形態の第5工程では、レーザ照射時の基板の加熱温度を400℃程度としたが、

約100℃以上であれば同様の効果を得ることができる。但し、透明絶縁性基板の反りを防止することを考慮するなら、レーザ照射時の基板の加熱温度は約600℃以下であることが望ましい。図17は、第1の実施形態の製造プロセスを用いて形成したTFTの I_d-V_g 特性と従来のTFTの I_d-V_g 特性とを示したグラフである。図17を参照して、横軸にはゲート電極に印加される電圧 V_g を取り、縦軸にはドレインに流れる電流 I_d を取る。図17に示すように、第1の実施形態によるTFTでは、オン状態における曲線の電流 I_d が従来に比べて大きくなっていることがわかる。

【0049】すなわち、第1の実施形態による多結晶シリコン膜からなる能動層の電子の電界効果移動度が、従来の電界効果移動度に比べて向上していることがわかる。さらに、図17に示すように、オン直後の低いゲート電圧 V_g でのドレイン電流 I_d は、従来のTFTよりも第1の実施形態によるTFTの方が多く流れていることがわかる。これは、第1の実施形態による半導体装置の能動層の表面が従来のTFTの能動層の表面よりも凹凸が小さいことを示している。

【0050】図14～図17に示した結果から、第5工程におけるレーザ照射時の加熱と、第7工程におけるレーザ照射後の熱処理との両方の工程によって、多結晶シリコン膜3の表面の凹凸を低減することができる。そして、このような多結晶シリコン膜3をTFTの能動層として用いれば、電界効果移動度などの特性をより向上させることができる。【0051】すなわち、TFTの電界効果移動度、 S 値（サブスレッショルド値）および V_{th} 値（しきい値）などの半導体装置の特性を向上させることができる。次に、図1～図12に示した第1の実施形態による製造プロセスによって形成されたTFTの特性についてさらに説明する。図18および図19は、第1の実施形態によるTFTの I_d-V_g 特性を示し、図20および図21は従来のTFTの I_d-V_g 特性を示す。図18～図21を参照して、横軸にはゲートに印加される電圧 V_g が取られ、縦軸にはドレインに流れる電流 I_d が取られている。図19に示す第1の実施形態によるTFTのドレイン電流 I_d は、図21に示す従来のTFTのドレイン電流値 I_d よりも大きいことがわかる。これは、第1の実施形態による多結晶シリコン膜からなる能動層における電子の電界効果移動度が、従来の電界効果移動度に比べて向上していることを意味する。

図22には、第5工程におけるレーザ照射時の加熱と、第7工程におけるレーザ照射後の熱処理との両方の工程が行なわれた後の、多結晶シリコン膜におけるキャリアの電界効果移動度とエキシマレーザ照射エネルギー密度との関係が示されている。

【0052】図22を参照して、エキシマレーザの照射エネルギー密度が上昇するに従って、電界効果移動度も上

昇し、ほぼ250mJ/cm²付近でピークを示し、その後エネルギー密度の増加に伴って電界効果移動度は順次減少していることがわかる。このようにピークを有するのは、エキシマレーザ照射による結晶性の改善と表面の荒れとの両者のトレードオフの関係によるものである。このピーク近傍において、結晶性の改善と表面の荒れとの関係が最良の関係に保たれ、それにより良好な電界効果移動度を得ることができる。

【0053】次に、図23を参照して、第1の実施形態の製造プロセスを用いて形成したTFTを組み込んだ液晶表示装置(LCD)の製造プロセスについて説明する。まず、図12に示した第1の実施形態によるTFTを形成した後、図23に示すように、スパッタ法を用いて、透明絶縁性基板1の画素部領域上に、ITO(Indium Tin Oxide)からなる補助容量を構成する蓄積電極17を形成する。この蓄積電極17は、TFTの能動層となる燐がドーパされた多結晶シリコン膜3の形成時に形成してもよい。

【0054】次に、デバイスの全面に層間絶縁膜33を形成する。層間絶縁膜33の材質としては、シリコン酸化膜、シリケートガラス、または、シリコン窒化膜などが用いられる。これらの膜の形成にはCVD法またはPCVD法が用いられる。この後、層間絶縁膜33に、高濃度不純物領域14および15に達するコンタクトホール19を形成する。そして、コンタクトホール19を埋め込むとともに層間絶縁膜33の上面に沿って延びるAlSi膜(図示せず)を形成した後、そのAlSi膜をパターニングする。これにより、ソース・ドレイン電極18を形成する。

【0055】また、層間絶縁膜33およびソース・ドレイン電極18を覆うように層間絶縁膜16を形成した後、その層間絶縁膜16の一方のソース・ドレイン電極18上に位置する領域にコンタクトホールを形成する。そのコンタクトホール内を埋め込むとともに層間絶縁膜16の上面に沿って延びるITO膜(図示せず)を形成した後、そのITO膜をパターニングすることにより表示電極20を形成する。表示電極20および層間絶縁膜16上に配向膜29を形成する。これにより、TFT側の基板が完成する。

【0056】次に、多結晶シリコンからなるTFTが形成された透明絶縁性基板1と、その表面に共通電極21および配向膜29が形成された透明絶縁性基板22とを相対向させる。その状態で、透明絶縁性基板1と透明絶縁性基板22との間に液晶を封入して液晶層23を形成する。これにより、LCDの画素部が完成する。このようにして、第1の実施形態によるTFTを用いたLCDが形成される。

【0057】図24には、表示画素部と周辺駆動回路部とを同一基板上に形成した液晶表示パネルが示される。図24を参照して、この液晶表示パネルでは、周辺駆動

回路部（ゲートドライバ25およびドレインドライバ26）の能動層と表示画素部の能動層とを本実施形態のプロセスによって形成した多結晶シリコン膜3によって構成している。表示画素部には、複数の表示電極20がマトリックス状に配置されている。

【0058】また、各々の表示電極20間は信号配線40によって接続されている。また、ゲートドライバ25およびドレインドライバ26にもそれぞれ信号配線40が接続されている。また、図25には、第1の実施形態によるTFTを適用したアクティブマトリックス方式のLCDのブロック構成図が示されている。

【0059】図25を参照して、画素部24には、各走査線（ゲート配線） $G_1 \cdots G_n$ 、 $G_{n+1} \cdots G_m$ と、各データ配線（ドレイン配線） $D_1 \cdots D_n$ 、 $D_{n+1} \cdots G_m$ とが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ互いに直交し、その直交部分に画素部24が設けられている。そして、各ゲート配線は、ゲートドライバ26に接続され、ゲート信号（走査信号）が印加される。

【0060】また、各ドレイン配線は、ドレインドライバ（データドライバ）27に接続され、データ信号（ビデオ信号）が印加される。このゲートドライバ25とドレインドライバ26とによって周辺駆動回路部28が構成される。ゲートドライバ25およびドレインドライバ26のうち少なくとも一方を画素部24と同一基板上に形成したLCDは、一般にドライバー一体型（ドライバ内蔵型）LCDと呼ばれている。なお、ゲートドライバ25が画素部24の両側に設けられている場合もあり、また、ドレインドライバ27が画素部24の両側に設けられている場合もある。

【0061】図25に示したLCDでは、画素部24の画素駆動用素子のみならず、周辺駆動回路部28のスイッチング用素子にも、上記した第1の実施形態による多結晶シリコン膜からなるTFTを用いる。この場合、製造時に、画素部24に用いるTFTと周辺駆動回路部28に用いるTFTとを同一基板上に並行して形成する。なお、この周辺駆動回路部28の多結晶シリコン膜を含むTFTは、LDD構造ではなく、通常のシングルドレイン構造を採用している。この場合、LDD構造を用いてもよい。

【0062】また、周辺駆動回路部28の多結晶シリコン膜からなるTFTを、CMOS構造に形成すれば、TFTの形成領域を縮小化させることができる。その結果、ゲートドライバ25およびドレインドライバ26の形成領域も縮小化することができ、高集積化を図ることができる。図26には、ゲート配線 G_n とドレイン配線 D_n との直交部分に設けられている画素部の等価回路が示されている。図26を参照して、画素部24は、画素駆動素子としてのTFTと、液晶セルLCと、補助容量 C_s とから構成される。ゲート配線 G_n にはTFTのゲ

ートが接続されており、ドレイン配線 D_n にはTFTのドレインが接続されている。TFTのソースには、液晶セルLCの表示電極（画素電極）20と、補助容量電極（蓄積電極または負荷容量電極）17とが接続されている。

【0063】この液晶セルLCと補助容量 C_s とにより、信号蓄積素子が構成される。液晶セルLCの共通電極（表示電極20の反対側の電極）21には電圧 V_{com} が印加される。一方、補助容量 C_s において、TFTのソースと接続される側の反対側の電極（対向電極）50には定電圧 V_R が印加される。この液晶セルLCの共通電極21は、すべての画素部24に対して共通する電極となっている。液晶セルLCの表示電極20と共通電極21との間には静電容量が形成されている。なお、補助容量 C_s において、対向電極50は、隣のゲート配線 G_{n+1} と接続されている場合もある。

【0064】動作としては、上記のように構成された画素部24において、ゲート配線 G_n を正電圧にしてTFTのゲートに静電圧を印加すると、TFTがON状態となる。この状態で、ドレイン配線 D_n に印加されたデータ信号に対応した電荷が、液晶セルLCの静電容量と補助容量 C_s とに充電される。その一方、ゲート配線 G_n を負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフ状態となる。

【0065】この状態で、ドレイン配線 D_n に印加されていた電圧が液晶セルLCの静電容量と補助容量 C_s とによって保持される。このように、画素部24へ書込むべきデータ信号をドレイン配線に与えてゲート配線の電圧を制御することによって、画素部24に任意のデータ信号を保持させることができる。その画素部24の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、それにより画像が表示される。

【0066】（第2の実施形態）図27および図28を参照して以下に第2の実施形態の製造プロセスについて説明する。この第2の実施形態による製造プロセスは、図1～図12に示した第1の実施形態による製造方法を用いて形成したTFTにおいてオフセット構造を形成する場合を示している。このようにオフセット構造を形成する場合には、図10に示した第1の実施形態による第10工程における不純物の注入は行わずに、図27に示すようにサイドウォール12の形成後に不純物を注入する。これにより、低濃度不純物領域10および11を形成する。そして、サイドウォール12およびゲート電極8を覆うようにレジスト膜30を形成した後、そのレジスト膜30をマスクとして不純物を注入することによって、高濃度不純物領域14および15を形成する。このような工程を行なうことによって、第1の実施形態で説明した特性に優れたTFTにおいてオフセット構造を容易に形成することができる。

【0067】（第3の実施形態）上記第1および第2の

実施形態ではゲート電極8が多結晶シリコン膜3の上に位置するトップゲート型のTFTの製造プロセスについて説明したが、この第3の実施形態ではゲート電極が多結晶シリコン膜の下に位置するボトムゲート型のTFTの製造プロセスについて説明する。

【0068】まず、図29に示すように、透明絶縁性基板1上にゲート電極8を形成する。ゲート電極8を覆うように層間絶縁膜6を形成する。層間絶縁膜6上に非晶質シリコン膜2をLPCVD法を用いて、 Si_2H_6 （ジシランガス）を材料ガスとして約450℃で100nm程度の膜厚で堆積する。この後、非晶質シリコン膜2を、固相成長法を用いて、約600℃、約20時間のアニールを行なうことにより多結晶化する。これにより、図30に示されるような、90nm程度の膜厚を有する多結晶シリコン膜3が形成される。

【0069】この後、図31に示すように、多結晶シリコン膜3の表面を約1050℃の酸素雰囲気中で約30分間ドライ酸化を行なうことによって二酸化シリコン膜4を形成する。この二酸化シリコン膜4は30nm程度の膜厚で形成する。この状態で、多結晶シリコン膜3の厚みは50nm～60nm程度の膜厚になっている。この後、二酸化シリコン膜4を弗酸系のエッチャントを用いてウエットエッチングにより除去して、図32に示すように、多結晶シリコン膜3の表面を露出させる。このように多結晶シリコン膜3の表面を酸化して二酸化シリコン膜4を形成した後、その二酸化シリコン膜4を除去すれば、多結晶シリコン膜3の結晶性を向上させることができる。この多結晶シリコン膜3がTFTの能動層となる。

【0070】次に、図33に示すように、多結晶シリコン膜（能動層）3の表面に波長 $\lambda=248\text{nm}$ のKrFエキシマレーザビームを照射することによってレーザアニールを施す。このときの照射条件などは図5に示した第1の実施形態の第5工程と同様の条件で行なう。また、第1の実施形態と同様、KrFエキシマレーザビーム以外の種々の高エネルギービームを用いることができる。

【0071】この後、図34に示すように、RTA法による急速熱処理を行なう。このときの熱処理の条件は、熱源がXeアークランプ、温度が約900℃以上約1100℃以下、雰囲気が N_2 、時間が1秒～10秒である。このRTA法による加熱は高温であるが極めて短時間で終了するので、高温熱処理により多結晶シリコン膜3の結晶内の欠陥などを減少させながら、透明絶縁性基板1が変形するなどの不都合を防止することができる。

【0072】この後、レーザ照射および熱処理が施された多結晶シリコン膜3を、フォトリソグラフィ技術とドライエッチング技術とを用いてパターニングすることによって、図35に示されるような形状の多結晶シリコン膜3が得られる。この後、図36に示すように、多結晶

シリコン膜3の上の所定部分にレジスト膜32を形成する。そしてレジスト膜32をマスクとして多結晶シリコン膜3に不純物をイオン注入することによって、高濃度不純物領域14および15を形成する。この後レジスト32を除去する。

【0073】次に、図37に示すように、多結晶シリコン膜3および層間絶縁膜6を覆うように層間絶縁膜33を形成する。この後、図38に示すように、層間絶縁膜33の高濃度不純物領域14および15上に位置する領域にコンタクトホールを形成した後、そのコンタクトホールを埋込むとともに層間絶縁膜33の上に延びるように、ソース・ドレイン電極18となるAlSi膜を形成する。そしてそのAlSi膜をパターニングすることによって、図39に示されるようなソース・ドレイン電極18を形成する。

【0074】なお、上記の第3の実施形態では、多結晶シリコン膜3にレーザ照射を行なった後、熱処理を施すことによって、レーザ照射による結晶性の改善と熱処理による表面荒さの改善との相乗効果を得ることができる。これにより、形成されるTFTの電界効果移動度を向上させることができ、その結果、TFTのドレイン電流を増加させることができる。

【0075】また、図33に示したレーザ照射工程において、透明絶縁性基板1を加熱しながらレーザ照射を行なうようにしてもよい。このようにすれば、多結晶シリコン膜3の表面荒さをさらに低減することができ、これによりTFTの電界効果移動度（ドレイン電流）をさらに大きくすることができる。図40は、上記第3の実施形態の製造プロセスによって形成したTFTを含む液晶表示装置を示した断面図である。図40を参照して、この液晶表示装置が図23に示した液晶表示装置と異なるのは、図40に示した液晶表示装置がボトムゲート型のTFTを用いていることのみであり、その他の構造は同じである。このように電界効果移動度が大きい（ドレイン電流の大きい）TFTを液晶表示装置に用いることによって、駆動回路部の高速な動作が可能になるとともに、画素部の高精細化および高密度化を達成することができる。

【0076】なお、上記第1～第3の実施形態では、非晶質半導体膜2として、アモルファスシリコン膜を用いたが、セレン（Se）、ゲルマニウム（Ge）、砒化ガリウム（GaAs）、または、窒化ガリウム（GaN）などからなる非晶質半導体膜を用いてもよい。また、上記第1～第3の実施形態では、高エネルギービームとして、エキシマレーザを用いたが、キセノン（Xe）アークランプを用いてもよい。ただし、非晶質半導体膜2としてアモルファスシリコン膜を用いた場合には、エキシマレーザを用いる方が吸収がよい。

【0077】さらに、非晶質半導体膜2を多結晶化する方法として、第1～第3の実施形態では固相成長法を用

いたが、熔融再結晶化法を用いてもよい。また、多結晶シリコン膜3の表面に形成した二酸化シリコン膜4はウェット酸化法で形成してもよい。

(第4の実施形態) 図41～図49を参照して以下に第4の実施形態によるTFTの製造プロセスについて説明する。この第4の実施形態による製造プロセスでは、上記した第1～第3の実施形態の製造プロセスと同様、レーザ照射と熱処理とを行なう。しかし、この第4の実施形態では、固相成長法を用いる上記した第1～第3の実施形態と異なり、レーザ照射によって非晶質シリコン膜2から多結晶シリコン膜3に結晶化する。以下、具体的に説明する。

【0078】まず、図41に示すように、第1工程では、ガラスまたは石英ガラスからなる透明絶縁性基板1上に、LPCVD法を用いて、 Si_2H_6 を材料ガスとして450℃で非晶質シリコン膜2を100nm程度の膜厚で形成する。なお、非晶質シリコン膜2はP-CVD (Plasma Chemical Vapor Deposition) 法を用いて、約300℃で100nm程度の膜厚で形成するようにしてもよい。

【0079】次に、第2工程では、図42に示すように、非晶質シリコン膜2の表面にエキシマレーザを照射してレーザアニール4を施す。これにより、非晶質シリコン膜2を多結晶シリコン膜3にする。この多結晶シリコン膜3がTFTの能動層となる。次に、第3工程では、図43に示すように、RTA法による急速熱処理を行なう。このときの熱処理の条件は、熱源がXeアークランプ、温度が約900℃以上約1100℃以下(好ましくは約950℃以上約1100℃以下)、雰囲気が N_2 、時間が1秒～10秒である。RTA法による加熱は、高温を用いるが極めて短時間で終わることができる。このため、高温熱処理により多結晶シリコン膜3の結晶内の欠陥などを減少させながら、透明絶縁性基板1が変形するのを有効に防止することができる。なお、RTA法による急速熱処理に代えて、透明絶縁性基板1を電気炉内に入れ、 N_2 雰囲気中で約1050℃の温度条件下で約2時間の熱処理を行なう方法を用いてもよい。

【0080】上記のような熱処理を施した後、多結晶シリコン膜3をフォトリソグラフィ技術とドライエッチング技術とを用いてパターニングすることによって、図44に示されるようなパターニングされた多結晶シリコン膜3が形成される。この後、第5工程では、図45に示すように、パターニングされた多結晶シリコン膜3を覆うようにLPCVD法を用いてゲート絶縁膜6としてのLTO膜 (Low Temperature Oxide : シリコン酸化膜) を形成する。この場合のLPCVD法は基板温度を約500℃以下に行なう。なお、基板温度を約500℃以下にしてPCVD法を用いてゲート絶縁膜6となるシリコン酸化膜を形成してもよい。

【0081】この後、ゲート絶縁膜6上に、LPCVD

法を用いて燐がドーパされた多結晶シリコン膜7を形成する。多結晶シリコン膜7への燐のドーパは必ずしも必要ではない。この後、フォトリソグラフィ技術とRIE法によるドライエッチング技術とを用いてゲート絶縁膜6および多結晶シリコン膜7をパターニングすることによって、図46に示されるような、パターニングされた、ゲート絶縁膜6と多結晶シリコン膜からなるゲート電極8とが形成される。

【0082】この後、第7工程において、図47に示すように、多結晶シリコン膜3の露出された部分とゲート電極8の上面とに不純物を注入する。そしてその注入した不純物を活性化するために熱処理を行なう。このときの不純物は、n型の場合にはヒ素(As)や燐(P)を用い、そのときの条件は約80keV、約 $3 \times 10^{13}/\text{cm}^2$ である。また、p型の不純物を注入する場合には、ボロン(B)を用い、その場合の注入条件は、約30keV、約 $1.5 \times 10^{13}/\text{cm}^2$ である。このようにして、図47に示される低濃度不純物領域10および11が形成される。

【0083】次に、第8工程では、多結晶シリコン膜3およびゲート電極8を覆うように透明絶縁性基板1上に、APCVD(常圧CVD)法により絶縁膜(図示せず)を形成する。そしてこの絶縁膜を異方性の全面エッチバックを用いてエッチングすることにより、ゲート電極8およびゲート絶縁膜6の側面に図48に示されるような、絶縁膜からなるサイドウォール12を形成する。

【0084】次に、第9工程において、図49に示すように、サイドウォール12をマスクとして、多結晶シリコン膜3に不純物を注入することによって、高濃度不純物領域14および15を自己整合的に形成する。この高濃度不純物領域14および15を形成する際に注入する不純物は、n型の場合には、燐イオンを用いる。その場合の注入条件は、約80keV、約 $3 \times 10^{15}/\text{cm}^2$ である。さらに、この状態で電気炉を用いて熱処理を行なうことにより不純物を活性化する。この場合の熱処理条件は、約850℃、約30分、 N_2 ガス流量が約5リットル/分である。

【0085】なお、この熱処理は、RTA法による急速熱処理を行なってもよい。この場合の熱処理条件は、熱源がXeアークランプ、温度が約700℃以上約950℃以下、雰囲気が N_2 、時間が1秒～3秒である。RTA法による加熱は高温であるが極めて短時間で終了するので、高温熱処理により多結晶シリコン膜3の結晶内の欠陥などを減少させながら、透明絶縁性基板1が変形するのを防止することができる。このようにして、低濃度不純物領域10および11と、高濃度不純物領域14および15とからなるLDD構造を有するソース/ドレイン領域が形成される。

【0086】上記の工程によって多結晶シリコン膜を能動層とするTFTが製造される。なお、図42に示した

第2工程のレーザ照射は、図5に示した第1の実施形態の第5工程におけるレーザ照射と同様の条件で行ない、また第1の実施形態の場合と同様KrFエキシマレーザビーム以外の種々の高エネルギービームを用いることが可能である。また、第1の実施形態と同様、高スループットレーザ照射法を用いる。

【0087】また、いずれのビームを用いても、照射エネルギー密度および照射回数に比例して多結晶シリコン膜3の結晶粒径は大きくなるので、所望の大きさの結晶粒径が得られるようにエネルギー密度および照射回数を調整する。

(第5の実施形態)以下、図50～図55を参照して、第5の実施形態によるTF Tの製造プロセスについて説明する。この第5の実施形態による製造プロセスは、上記した第4の実施形態の製造プロセスと基本的には同様である。しかし、この第5の実施形態では、第4の実施形態と異なり、レーザ照射後の熱処理を多結晶シリコン膜7の形成後に行なう。以下、より詳細に説明する。

【0088】まず、第1工程では、図50に示すようにガラスまたは石英ガラスからなる透明絶縁性基板1上に、LPCVD法を用いて、 Si_2H_6 （ジシランガス）を材料ガスとして約450℃で非晶質シリコン膜2を形成する。この非晶質シリコン膜2は100nm程度の膜厚で形成する。なお、非晶質シリコン膜2はP-CVD（Plasma Chemical Vapor Deposition）法を用いて、約300℃の温度条件下で100nm程度の膜厚で形成してもよい。

【0089】次に、第2工程においては、非晶質シリコン膜2の表面に、エキシマレーザを照射してレーザアニールを施すことによって、非晶質シリコン膜2を図51に示すような多結晶シリコン膜3にする。この多結晶シリコン膜3がTF Tの能動層となる。次に、第3工程においては、多結晶シリコン膜3を写真製版技術とドライエッチング技術とを用いてパターンニングすることによって、TF Tの形成位置に図52に示すような多結晶シリコン膜3が形成される。

【0090】次に、第4工程においては、図53に示すように、多結晶シリコン膜3の上に、LPCVD法を用いて約500℃以下の基板温度で、ゲート絶縁膜6としてのLTO膜（Low Temperature Oxide：シリコン酸化膜）を形成する。このゲート絶縁膜6は、P-CVD法（基板温度：約500℃以下）で形成するシリコン酸化膜であってもよい。

【0091】この後、ゲート絶縁膜6の上に、LPCVD法を用いて燐がドーパされた多結晶シリコン膜7を形成する。なお、この多結晶シリコン膜7には必ずしも燐がドーパされている必要はない。次に、第5工程において、図54に示すように、RTA法による急速熱処理を行なう。このときの熱処理条件は、熱源がXeアークランプ、温度が約900℃以上約1100℃以下（好まし

くは約950℃以上約1100℃以下）、雰囲気が N_2 、時間が1秒～10秒である。RTA法による加熱は、高温を用いるが、極めて短時間で終了するので、高温熱処理により多結晶シリコン膜3の結晶内の欠陥などを減少させながら、透明絶縁性基板1が変形するのを有効に防止することができる。

【0092】なお、RTA法による熱処理に代えて、電気炉を用いて N_2 雰囲気中で約1050℃で約2時間の熱処理を行なうようにしてもよい。以降の第6工程～第9工程は、図46～図49に示した第4の実施形態のプロセスと同様であるので省略する。以上の工程により多結晶シリコン膜3を能動層とするTF Tを形成することができる。

【0093】ここで、第4の実施形態の第3工程の熱処理および第5の実施形態の第5工程の熱処理による効果について説明する。図55は、能動層である多結晶シリコン膜3にレーザ照射をした後に、熱処理をした場合と熱処理をしなかった場合との多結晶シリコン膜の表面の凹凸状態を示すグラフである。図55を参照して、横軸にはレーザの照射密度、縦軸は多結晶シリコン膜3の表面の凹凸（表面荒さ）が取られている。図55に示すように、非晶質シリコンにレーザを照射して多結晶化した後の表面の凹凸は、1.0nm程度である。また、照射密度を色々変化させた場合に、熱処理を施した場合には表面荒さは2.5nm程度が最大値であるのに対して、熱処理を施していない場合には6.7nm程度にまで増大している。

【0094】このように、能動層となる非晶質シリコン層2を多結晶化する際のレーザ照射の後に熱処理を行なうことによって、多結晶シリコン膜3の表面荒さを低減することができる。この場合、レーザ照射によって結晶性が改善され、さらに、レーザ照射後の熱処理によって多結晶シリコン膜3の表面荒さが低減されるので、形成されるTF Tの電界効果移動度を大きくすることができ、その結果、TF Tのドレイン電流を増加させることができる。このようなTF Tを液晶表示装置に用いれば、駆動回路部的高速駆動が可能になるとともに、画素部の高精細化および高密度化を実現することができる。

【0095】図56には、レーザ照射後の熱処理が行なわれた後の、多結晶シリコン膜におけるキャリアの電界効果移動度とエキシマレーザ照射エネルギー密度との関係が示されている。図56を参照して、エキシマレーザの照射エネルギー密度が上昇するに従って、電界効果移動度も上昇し、ほぼ300 $\text{mJ}/\text{cm}^2 \sim 325\text{mJ}/\text{cm}^2$ 付近でピークを示し、その後エネルギー密度の増加に伴って電界効果移動度は順次減少していることがわかる。このようにピークを有するのは、エキシマレーザ照射による結晶性の改善と表面の荒れとの両者のトレードオフの関係によるものである。このピーク近傍において、結晶性の改善と表面の荒れとの関係が最良の関係に保たれ、

それにより良好な電界効果移動度を得ることができる。

【0096】なお、図56に示したピーク位置のエネルギー密度（ほぼ $300\text{ mJ/cm}^2 \sim 325\text{ mJ/cm}^2$ ）が図22に示したピーク位置のエネルギー密度（ほぼ 250 mJ/cm^2 ）と異なるのは、図22ではレーザー照射時の加熱とレーザー照射後の加熱の両方を行なっているのに対して、図56ではレーザー照射後の加熱のみ行なっているからである。

【0097】（第6の実施形態）以下、図57および図58を参照して、第5の実施形態によるTFTの製造プロセスについて説明する。この第6の実施形態では、上記第4および第5の実施形態の第7工程～第9工程（図47～図49参照）において、オフセット構造を形成する場合について説明する。具体的には、図57に示すように、低濃度不純物領域10および11を形成するための不純物のイオン注入をサイドウォール12の形成後に行なう。そして、その後、図58に示すように、サイドウォール12およびゲート電極8を覆うようにレジスト膜30を形成する。そしてレジスト膜30をマスクとして多結晶シリコン膜3に不純物をイオン注入することによって、高濃度不純物領域14および15を形成する。このような工程によって、オフセット構造のTFTを容易に形成することができる。なお、この第6実施例においても多結晶シリコン膜3の形成時にレーザー照射を行なうとともに、その後に熱処理を行なう。これにより、上記第4および第5の実施形態と同様、電界効果移動度の高いTFTを形成することができる。

【0098】（第7の実施形態）以下、図59～図61を参照して、第5の実施形態によるTFTの製造プロセスについて説明する。第7の実施形態では、図46～図49に示した第4の実施形態の製造プロセスにおいてサイドウォール12を設けない場合について説明する。

【0099】この第7の実施形態では、まず、図41～図46に示した第4の実施形態による製造プロセスと同様のプロセスを用いて図46に示した構造までを形成する。その後、図59に示すように、多結晶シリコン膜3の露出した部分およびゲート電極8の上面に不純物を注入する。この後、熱処理を行なうことによって不純物を活性化させる。このときの不純物は、n型不純物の場合にはヒ素（As）やリン（P）を用いる。この場合の条件は、約 80 keV 、約 $3 \times 10^{13}/\text{cm}^2$ である。また、p型の不純物の場合にはボロン（B）を用いる。この場合の条件は、約 30 keV 、約 $1.5 \times 10^{13}/\text{cm}^2$ である。これにより、低濃度不純物領域10および11を形成する。

【0100】次に、ゲート電極8と低濃度不純物領域10および11の一部とを覆うように図60に示されるようなレジスト31を形成する。この後、図61に示すように、レジスト31をマスクとして多結晶シリコン膜3に不純物をイオン注入する。これにより、高濃度不純物

領域14および15を形成する。この後レジスト31を除去する。なお、高濃度不純物領域14および15を形成する際の不純物は、n型不純物の場合はリンイオンを用い、その場合の条件は、約 80 keV 、約 $3 \times 10^{15}/\text{cm}^2$ である。さらにこの状態で電気炉を用いて熱処理することにより不純物を活性化する。この場合の熱処理条件は、約 850°C 、約30分間、 N_2 ガス流量が約5リットル/分である。このようにして、低濃度不純物領域10および11と、高濃度不純物領域14および15とからなるLDD構造を有するソース/ドレイン領域が形成される。

【0101】（第8の実施形態）次に、図62～図69を参照して、第8の実施形態によるTFTの製造プロセスについて説明する。上述した第4～第7の実施形態では多結晶シリコン膜3上にゲート電極8が位置するトップゲート型のTFTの製造プロセスを示したが、この第8の実施形態では多結晶シリコン膜3の下にゲート電極8が位置するボトムゲート型のTFTの製造プロセスについて説明する。なお、レーザー照射および熱処理の基本的な製造プロセスは第4の実施形態とほぼ同様である。以下具体的に説明する。

【0102】まず、図62に示すように、ガラスまたは石英ガラスからなる透明絶縁性基板1上に、ゲート電極8を形成した後、そのゲート電極8を覆うようにゲート絶縁膜6を形成する。ゲート絶縁膜6上に、LPCVD法またはPECVD法を用いて、 100 nm 程度の膜厚を有する非晶質シリコン膜2を形成する。この後、非晶質シリコン膜2の表面に、エキシマレーザーを照射してレーザーアニールを施すことにより、非晶質シリコン膜2を図63に示されるような多結晶シリコン膜3にする。この多結晶シリコン膜3がTFTの能動層となる。

【0103】次に、第3工程として、図64に示すように、RTA法を用いて急速熱処理を行なう。このときの熱処理条件は、熱源がXeアークランプ、温度が約 900°C 以上約 1100°C 以下（好ましくは約 950°C 以上約 1100°C 以下）、雰囲気が N_2 、時間が1秒～10秒である。このRTA法による加熱は、高温であるが極めて短時間で終了するので、高温熱処理により多結晶シリコン膜3の結晶内の欠陥などを減少させながら、透明絶縁性基板1が変形するのが防止される。なお、この熱処理は、上記RTA法に代えて、透明性絶縁基板1を電気炉内に入れ、 N_2 雰囲気中で約 1050°C の温度条件下で約2時間の熱処理を行なうようにしてもよい。

【0104】この後、多結晶シリコン膜3を写真製版技術とドライエッチング技術とを用いてパターンニングすることによって、TFTの形成位置に、図65に示されるような多結晶シリコン膜3が形成される。この後、図66に示すように、多結晶シリコン膜3上に所定領域にレジスト32を形成した後、このレジスト32をマスクとして多結晶シリコン膜3に不純物をイオン注入する。こ

れにより、高濃度不純物領域14および15を形成する。

【0105】次に、図67に示すように、多結晶シリコン膜3およびゲート絶縁膜6を覆うように層間絶縁膜33を形成する。そしてその層間絶縁膜33の高濃度不純物領域14および15上に位置する領域に、図68に示されるような、コンタクトホールを開く。そのコンタクトホール内を埋込むとともに層間絶縁膜33上に延びるようにソース・ドレイン電極18となるA1Si膜を形成する。そしてそのA1Si膜をパターンニングすることによって、図69に示すようなソース・ドレイン電極18を形成する。

【0106】このようにして、ボトムゲート型のTFETを形成することができる。この第8の実施形態によるボトムゲート型のTFETにおいても、レーザ照射によって多結晶シリコン膜3の結晶性が改善されるとともに、レーザ照射後の熱処理によって多結晶シリコン膜の表面の凹凸が低減されるので、TFETの電界効果移動度を高めることができ、それにより、ドレイン電流を増加させることができる。

【0107】なお、このようなボトムゲート型のTFETを液晶表示装置に適用する場合には、図40に示した構造と同様の構造になる。また、このように液晶表示装置に第8の実施形態によるTFETを適用した場合には、液晶表示装置の駆動回路部を高速化できるとともに、画素部を高精細化および高密度化することができる。

【0108】

【発明の効果】本発明の半導体装置の製造方法にあっては、高移動度を有する半導体層を備えた半導体装置を容易に製造することができる。また、本発明の他の半導体装置の製造方法にあっては、半導体層の結晶欠陥を減少させるとともに半導体層の表面の凹凸を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図2】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図3】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図4】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図5】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図6】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図7】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図8】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図9】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図10】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図11】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図12】本発明の第1の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図13】本発明に用いる高スループットレーザ照射法を説明するための概略図である。

【図14】本発明の半導体膜の特性を示した特性図である。

【図15】本発明の半導体膜の特性を示した特性図である。

【図16】本発明の半導体膜の特性を示した特性図である。

【図17】本発明の半導体膜を用いたTFETの特性を示したグラフである。

【図18】本発明の半導体膜を用いたTFETの特性を示したグラフである。

【図19】本発明の半導体膜を用いたTFETの特性を示したグラフである。

【図20】本発明の半導体膜を用いたTFETの特性を示したグラフである。

【図21】本発明の半導体膜を用いたTFETの特性を示したグラフである。

【図22】本発明の半導体膜を用いたTFETの特性を示したグラフである。

【図23】第1の実施形態によるTFETが適用される液晶表示装置（LCD）を示した断面図である。

【図24】表示画素部とその周辺の駆動回路とを同一基板上に形成した液晶表示パネルを示した平面図である。

【図25】本発明の液晶表示装置（LCD）の回路構成を示すブロック図である。

【図26】本発明の液晶表示装置（LCD）の等価回路図である。

【図27】本発明の第2の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図28】本発明の第2の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図29】本発明の第3の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図30】本発明の第3の実施形態による半導体装置（TFET）の製造プロセスを説明するための断面図である。

【図 6 5】 本発明の第 8 の実施形態による半導体装置 (TFT) の製造プロセスを説明するための断面図である。

【図 6 6】 本発明の第 8 の実施形態による半導体装置 (TFT) の製造プロセスを説明するための断面図である。

【図 6 7】 本発明の第 8 の実施形態による半導体装置 (TFT) の製造プロセスを説明するための断面図である。

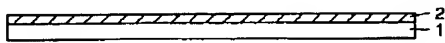
【図 6 8】 本発明の第 8 の実施形態による半導体装置 (TFT) の製造プロセスを説明するための断面図である。

【図 6 9】 本発明の第 8 の実施形態による半導体装置 (TFT) の製造プロセスを説明するための断面図である。

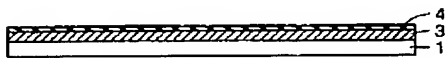
【符号の説明】

- 1 透明絶縁性基板
- 2 非晶質シリコン膜
- 3 多結晶シリコン膜
- 4 二酸化シリコン膜
- 6 ゲート絶縁膜
- 7 多結晶シリコン膜
- 8 ゲート電極

【図 1】



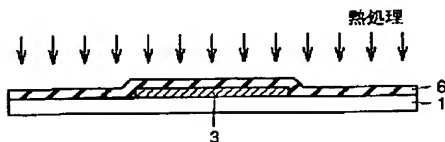
【図 3】



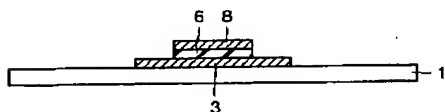
【図 5】



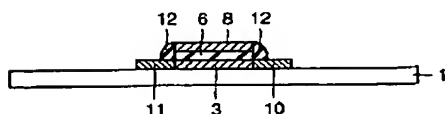
【図 7】



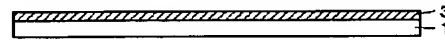
【図 9】



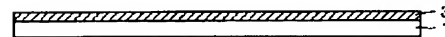
【図 1 1】



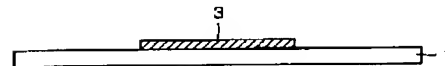
【図 2】



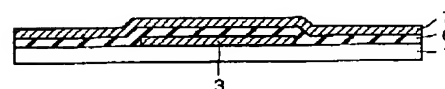
【図 4】



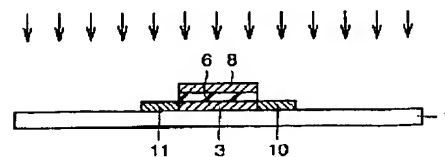
【図 6】



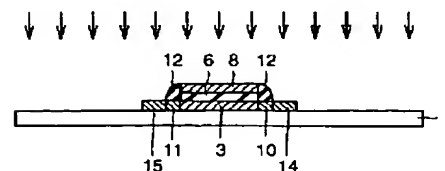
【図 8】



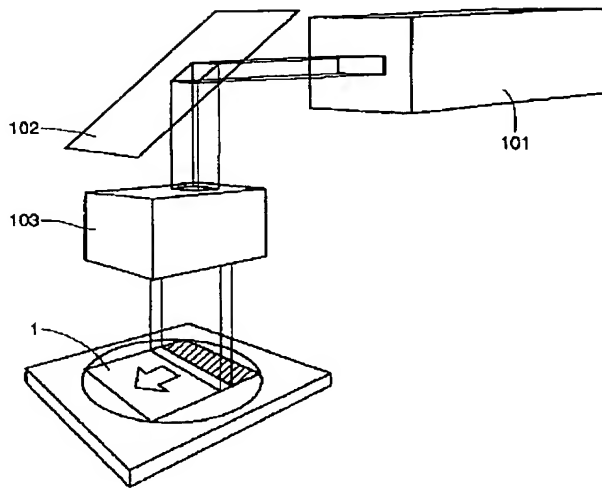
【図 1 0】



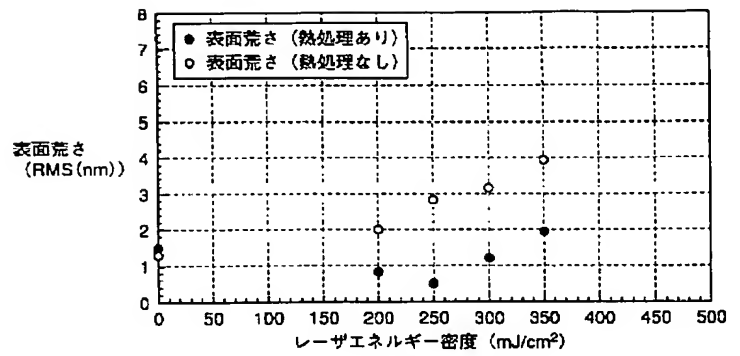
【図 1 2】



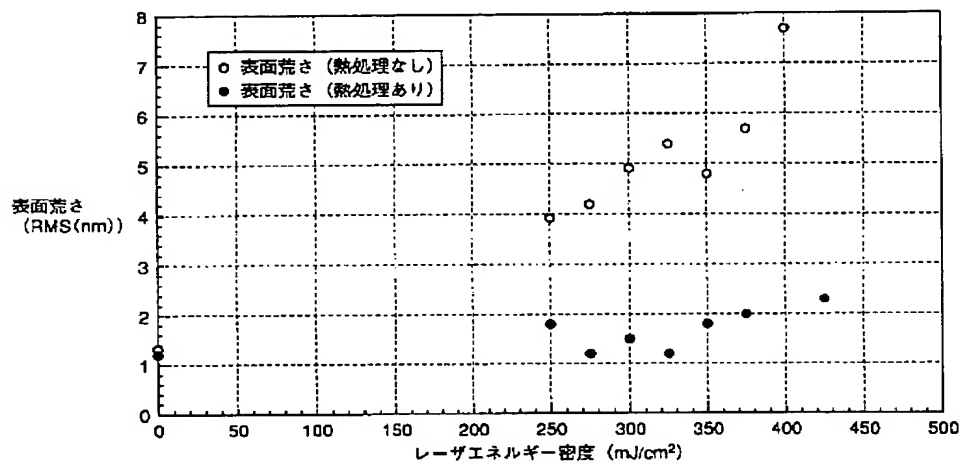
【図13】



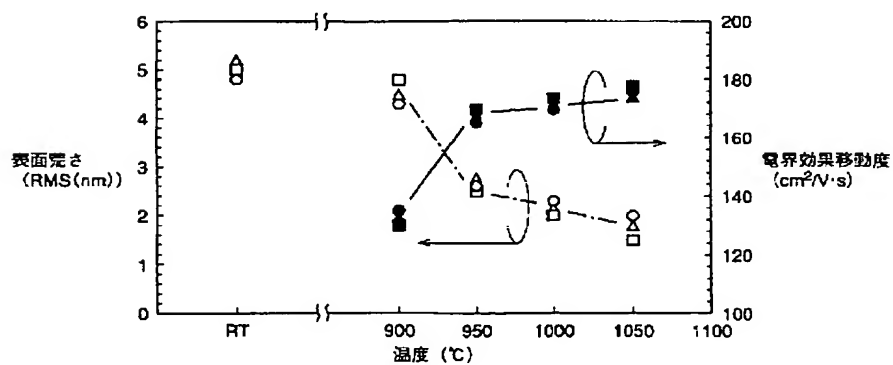
【図16】



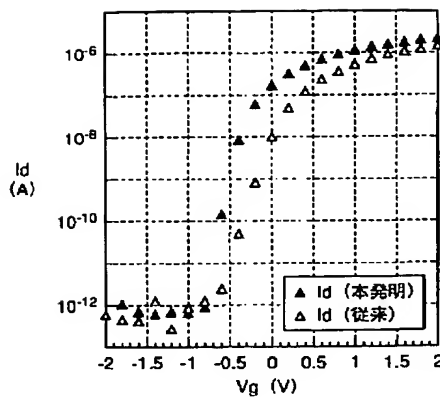
【図14】



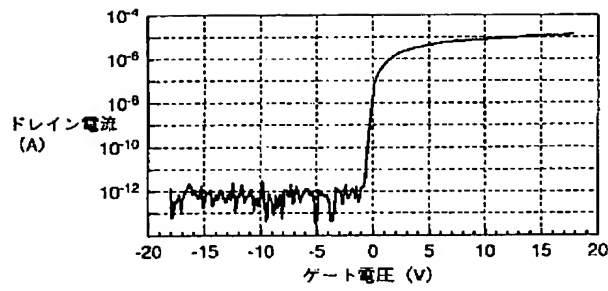
【図15】



【図 17】

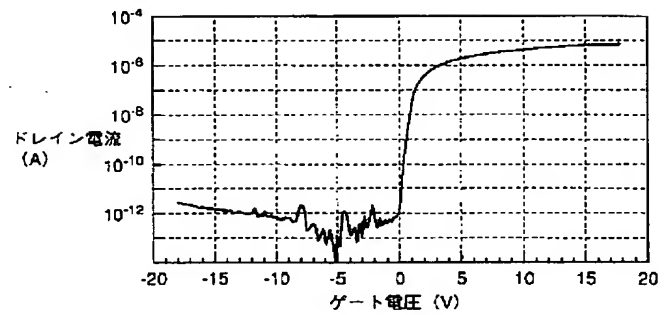
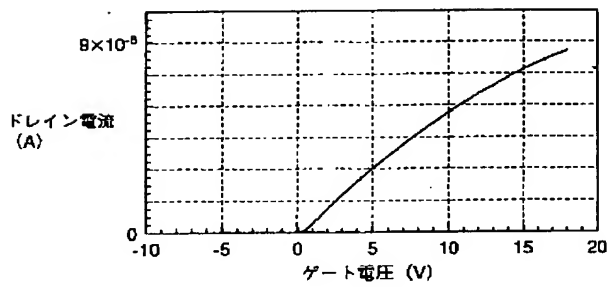


【図 18】



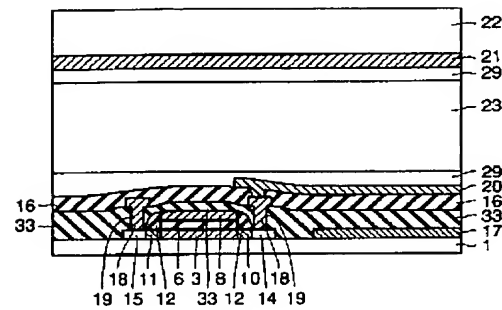
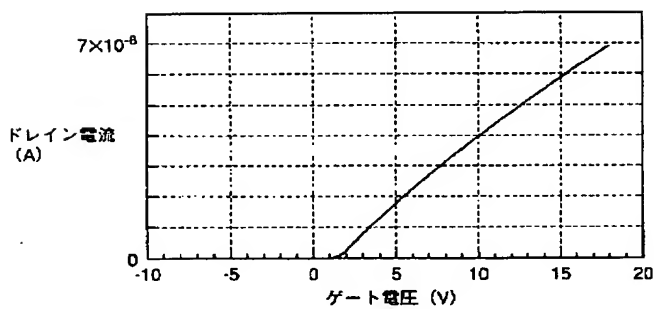
【図 20】

【図 19】

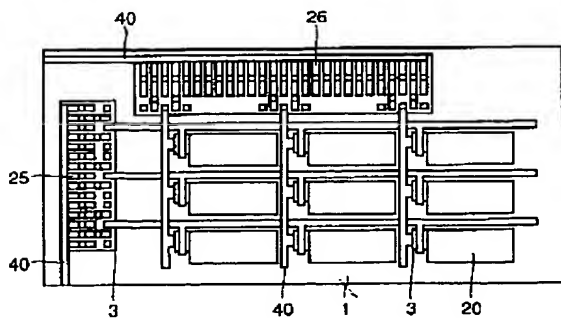


【図 23】

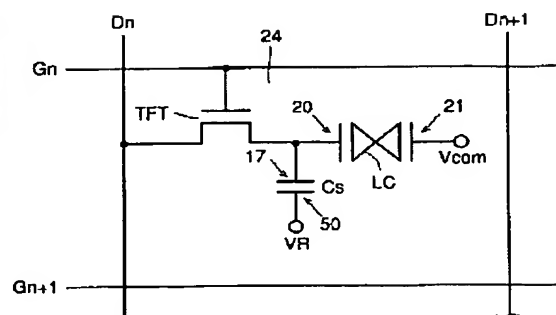
【図 21】



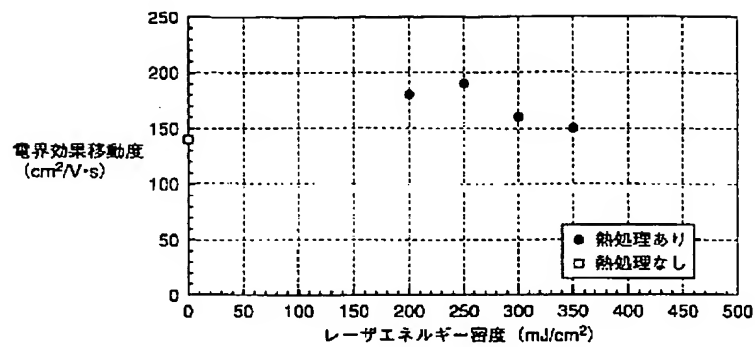
【図 24】



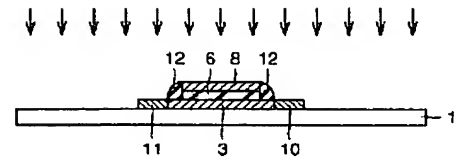
【図 26】



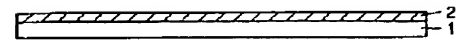
【図22】



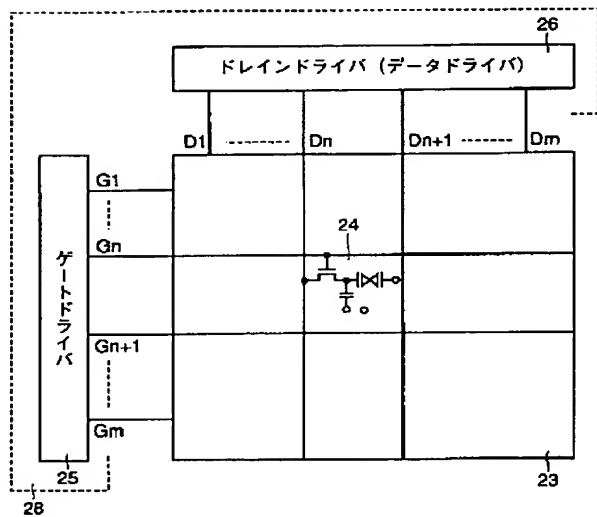
【図27】



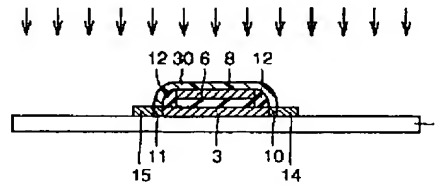
【図41】



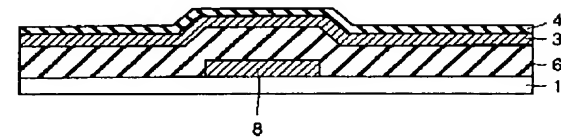
【図25】



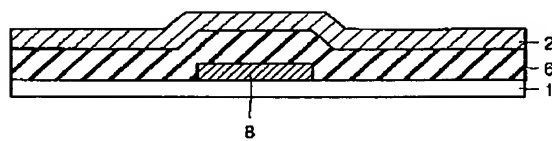
【図28】



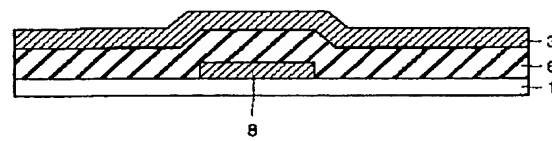
【図31】



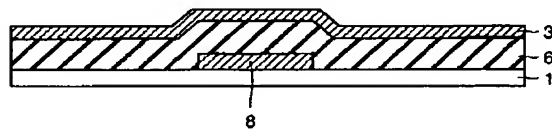
【図29】



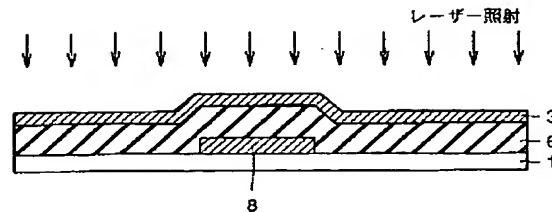
【図30】



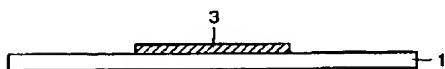
【図32】



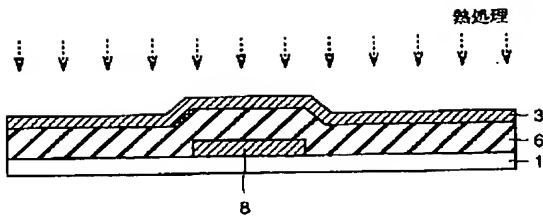
【図33】



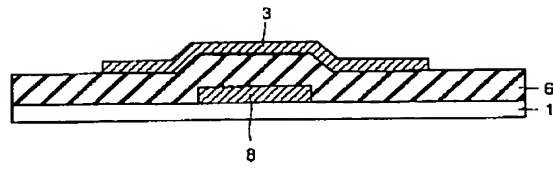
【図44】



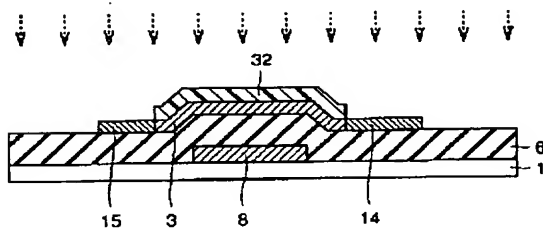
【図34】



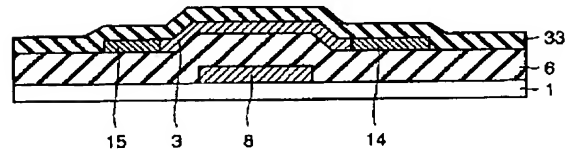
【図35】



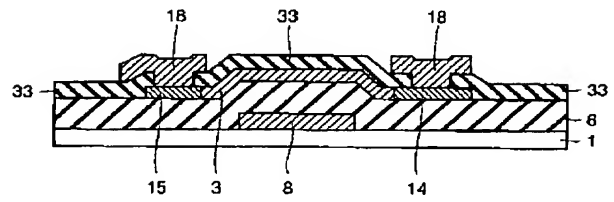
【図36】



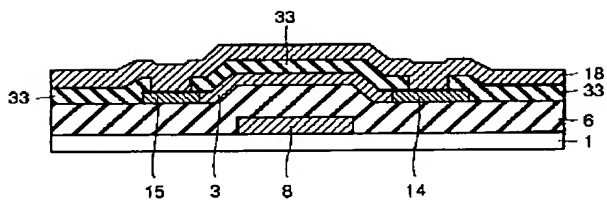
【図37】



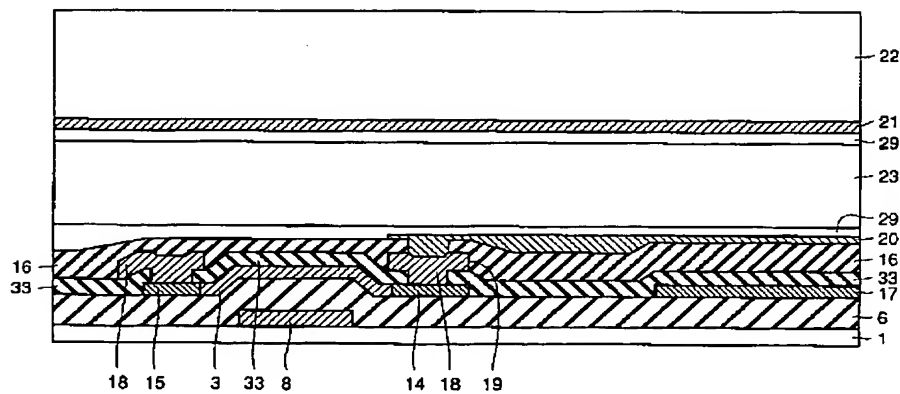
【図39】



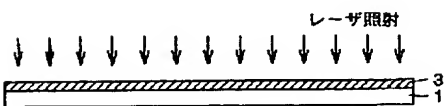
【図38】



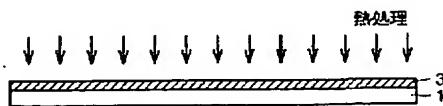
【図40】



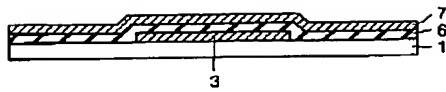
【図42】



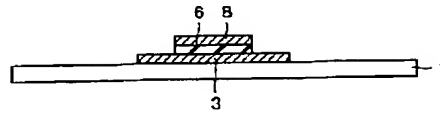
【図43】



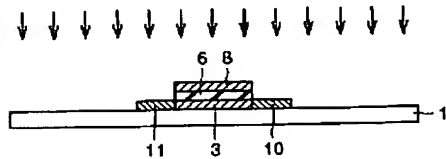
【図45】



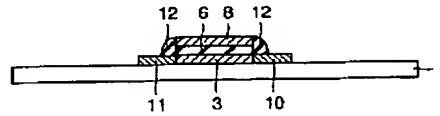
【図46】



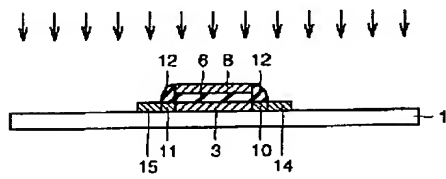
【図47】



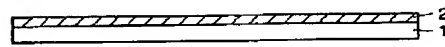
【図48】



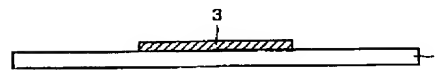
【図49】



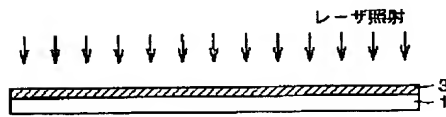
【図50】



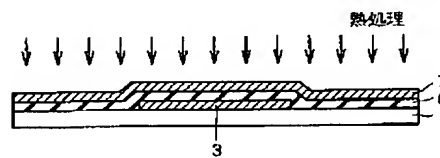
【図52】



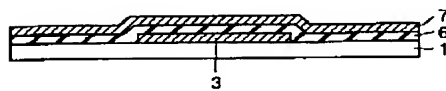
【図51】



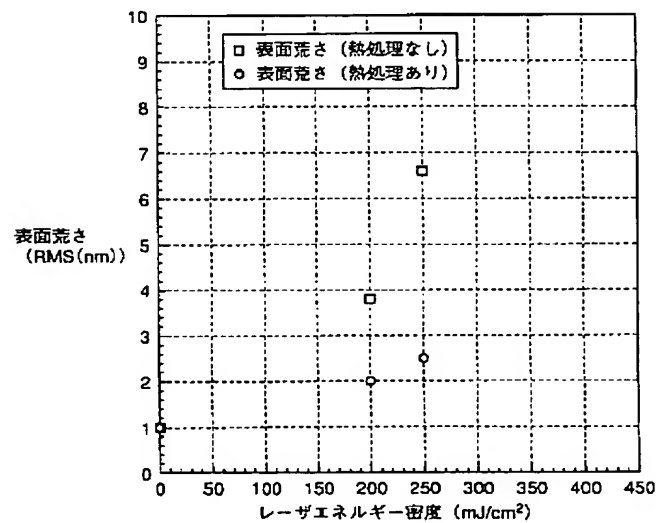
【図54】



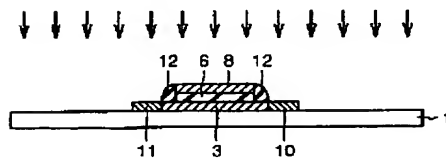
【図53】



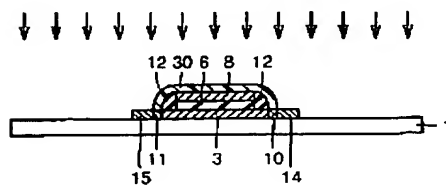
【図55】



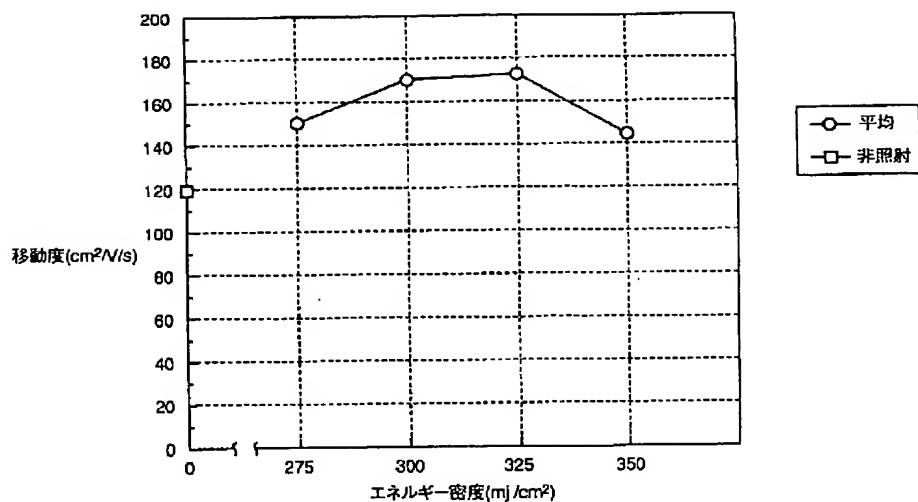
【図57】



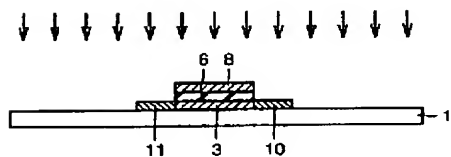
【図58】



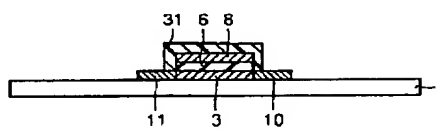
【図56】



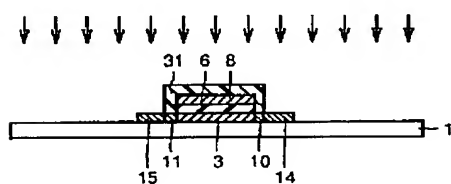
【図59】



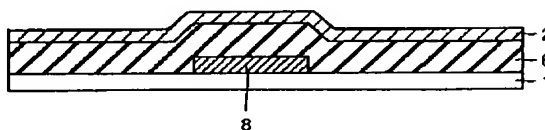
【図60】



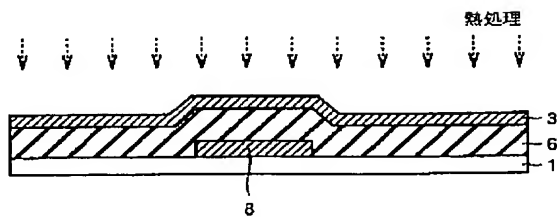
【図61】



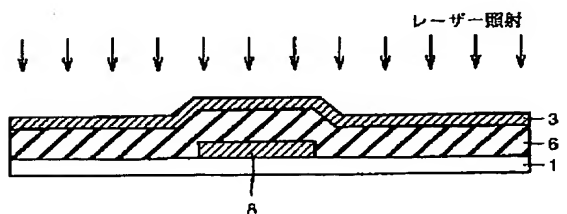
【図62】



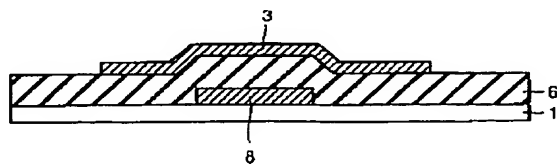
【図64】



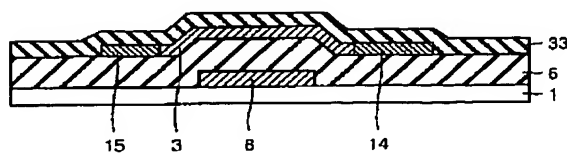
【図63】



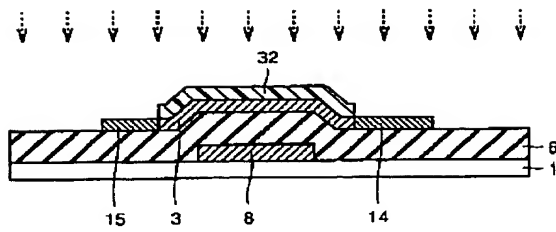
【図65】



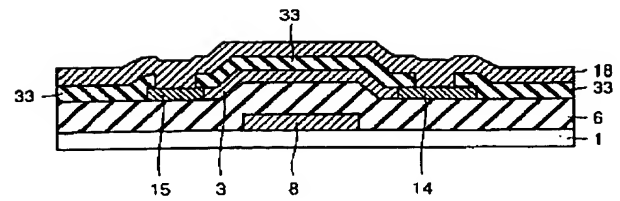
【図67】



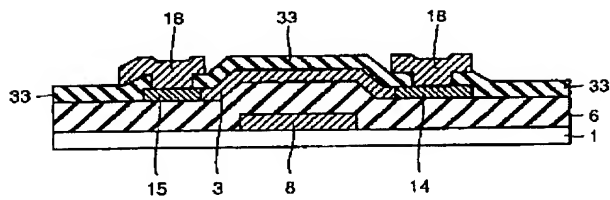
【図 6 6】



【図 6 8】



【図 6 9】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 29/78

6 2 7 A

(31) 優先権主張番号 特願平9-164644

(32) 優先日 平 9 (1997) 6 月 20 日

(33) 優先権主張国 日本 (J P)

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(72) 発明者 納田 朋幸

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(72) 発明者 中原 康雄

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内